

Patent Abstracts of Japan

PUBLICATION NUMBER : 61214657
PUBLICATION DATE : 24-09-86

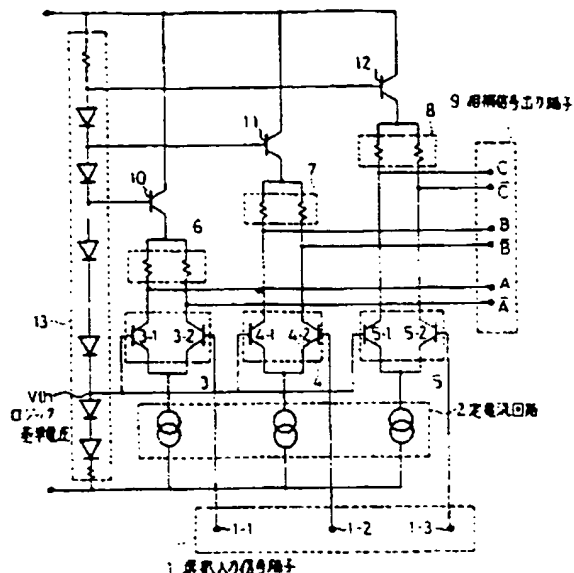
APPLICATION DATE : 20-03-85
APPLICATION NUMBER : 60054104

APPLICANT : MATSUSHITA ELECTRIC IND CO LTD;

INVENTOR : YAMAMOTO YASUNAGA;

INT.CL. : H04N 1/028 H04N 1/04

TITLE : IMAGE SENSOR



ABSTRACT : PURPOSE: To read an unmagnification image of an original by executing a design so that a photodetector is placed up to the chip end of an image sensor chip, and arraying linearly plural pieces of chips on a substrate.

CONSTITUTION: A selecting input signal is applied to a selecting input signal terminal 1, compared with a logic reference voltage V_{th} , by which an output current of a constant-current circuit 2 is switched to one of a TR 3-1 or 3-2-5-1 or 5-2 of pairs of transistors TR 3-5 for constituting a current SW, and by the respective currents and pairs of resistances 6-8, a complementary voltage of a different DC level is outputted to a complementary signal output terminal 9. This logical amplitude is determined by values of the pairs of resistances 6-8, and a current value of the constantcurrent circuit 2. In this way, an image sensor of high speed, high resolution, high S/N, and also small dark signal can be realized. In a usual bipolar integrated circuit process, all the functions can be formed on a silicon chip.

COPYRIGHT: (C) JPO

Best Available Copy

THIS PAGE BLANK (USPTO)

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭61-214657

⑬ Int. Cl.⁴

識別記号

庁内整理番号

⑭ 公開 昭和61年(1986)9月24日

H 04 N 1/028
1/04

1 0 3

A-7334-5C
8220-5C

審査請求 未請求 発明の数 2 (全6頁)

⑮ 発明の名称 イメージセンサ

⑯ 特 願 昭60-54104

⑰ 出 願 昭60(1985)3月20日

⑱ 発 明 者	山 口	和 文	門真市大字門真1006番地	松下電器産業株式会社内
⑲ 発 明 者	村 田	隆 彦	門真市大字門真1006番地	松下電器産業株式会社内
⑲ 発 明 者	山 本	泰 永	門真市大字門真1006番地	松下電器産業株式会社内
⑳ 出 願 人	松下電器産業株式会社 門真市大字門真1006番地			
㉑ 代 理 人	弁理士 星野 恒 司			

明 細 書

1. 発明の名称 イメージセンサ

2. 特許請求の範囲

(1) 樹状に接続した電流スイッチからなるデコーダと、デコーダ用選択入力信号を受けて前記のデコーダを動作させるための直流レベルの異なる相補信号を発生させる回路と、電流源と、デコーダの出力電流の有無によってオンまたはオフにする電界効果トランジスタからなる電流スイッチアレイと、電流スイッチアレイの各々の出力電流の有無によって読み取り状態または積分状態になるように接続したフォトトランジスタアレイまたはフォトダイオードアレイと、上記フォトトランジスタまたはフォトダイオードの他方の電極を共通に接続してなる映像信号出力端子とを有することを特徴とするイメージセンサ。

(2) 樹状に接続した電流スイッチからなる複数個のデコーダ、デコーダ用選択入力信号を受けて前記のデコーダを動作させるための直流レベル

の異なる相補信号を発生させる回路、ブロック選択信号によってオンまたはオフする制御電流源、デコーダの出力電流の有無によってオンまたはオフにする電界効果トランジスタからなる電流スイッチアレイ、電流スイッチの各々の出力電流の有無によって読み取り状態または積分状態になるように接続したフォトトランジスタアレイまたはフォトダイオードアレイ、上記フォトトランジスタまたはフォトダイオードの他方の電極を共通に接続してなる映像信号出力端子を有することを特徴とするイメージセンサ。

(3) 共通のデコーダ回路、受光窓を備えた第1のフォトトランジスタアレイ、光遮蔽した第2のフォトトランジスタアレイを設け、上記第1および第2のフォトトランジスタアレイからの映像信号の差動出力を得ることを特徴とする特許請求の範囲第(1)項または第(2)項記載のイメージセンサ。

(4) イメージセンサが複数個の単位イメージセンサチップを基板上に配列されてなることを特

特開昭61-214657(2)

微とする特許請求の範囲第(2)項記載のイメージセンサ。

(5) イメージセンサを形成するチップ端まで光検出素子を配置したことを特徴とする特許請求の範囲第(2)項記載のイメージセンサ。

(6) イメージセンサが複数個の単位イメージセンサチップを基板上に直線状に配列されてなることを特徴とする特許請求の範囲第(5)項記載のイメージセンサ。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は、原稿情報を高速、高解像度で読み取れることを可能にした、バイポーラIC技術によるリニアイメージセンサに関する。

(従来の技術)

近時、情報処理機器の進展に伴って、その入力装置としてのイメージセンサの重要性が高まっている。

集積回路技術を用い、Si結晶板上に形成させたイメージセンサとしてはCCD(電荷転送素子)イ

メージセンサ、MOSイメージセンサがある。一般にイメージセンサは複数個の光検出素子と走査回路からなり、CCDイメージセンサは光検出素子にフォトダイオード(以下PDと略記する)、走査回路にCCDを用い、MOSイメージセンサは光検出素子にPD、走査回路にMOSトランジスタによるシフトレジスタを用いている。これらは共にMOS集積回路技術を基本とした光検知部と走査回路部からなり、高解像度ではあるが次のような欠点もある。

CCDイメージセンサの場合、元来、熱的に非平衡状態にある電荷を信号媒体として用いているため、高温または蓄積時間の長い使用条件では暗信号が大きくなり使用に耐えない。また、縮小結像して読み取る場合には、CCDの電荷井戸のサイズが小さく(約 $7\mu\text{m}$ または $14\mu\text{m}$)、高速走査が可能であるが、等倍像で読み取る場合、必要とする電荷井戸のサイズは大きく($60\mu\text{m}$ または $120\mu\text{m}$)、そのため走査速度は小さくする。また、飽和レベルを大きくするには、電源電圧を高く(10V 以上)しなければならない。一方、MOSイ

メージセンサの場合、やはり高解像度であるが、走査速度はMOSシフトレジスタの最高クロック周波数に限界があるために小さく、かつ得られる映像信号そのものが小さく、走査用デジタル信号の映像信号線への混入によって、 S/N 比が悪くなる。

昨今、原稿の読み取りスキヤナの小型化、高解像度化、光学系の調節の容易性等のために、原稿を等倍像に読み取る密着性イメージセンサの開発が盛んである。これには、光検出素子の配列ピッチは比較的大きくなるが(例えば、解像度16ドット/mmでピッチ $62.5\mu\text{m}$ 、解像度8ドット/mmでピッチ $125\mu\text{m}$)、原稿幅に相当する長尺イメージセンサが必要である。なお、これには、光検知部を薄膜、長尺状で一体化し、その周辺に走査用LSIチップを多数マウントしたアモルファスシリコンイメージセンサや、CCDイメージセンサを複数個、千鳥状に基板上に配列させたCCDマルチチップイメージセンサ等がある。現状のアモルファスシリコンイメージセンサは光検知部と走査部が別々のデバイスであるため、相互の結線数が多く、信頼

性にも問題があると考えられる。

CCDマルチチップイメージセンサは千鳥状配列のため、読み出し後、ラインの再配列処理が必要なこと、前述のように、電荷井戸のサイズを大きくする必要性から転送速度が低下すること、転送クロックラインを含め、駆動回路の容量負荷が大きくなるという欠点がある。

(発明が解決しようとする問題点)

本発明は上述の従来技術の欠点に鑑み、自己走査形イメージセンサとして、高速、高感度、高 S/N で高温での使用も可能なイメージセンサを提供することを目的とし、チップ端まで光検出素子を配置したセンサチップを、基板上へ複数個直線状に配列することによって、密着型イメージセンサを構成しようとするものである。

(問題点を解決するための手段)

本発明のイメージセンサは基本的にはフォトリンジスタ(以下、 Ph Tr と略記する)アレイまたはPDアレイからなる光検出素子部、縦列に接続した電流スイッチ(以下、スイッチを SW と略記する)

群からなるデコーダ、およびその出力信号に従ってオンまたはオフにするFET(電界効果トランジスタ)からなるSWアレイ等からなり、バイポーラICプロセスで製作する。画素数の拡大のためには、デコーダを複数個にして、ブロック選択信号によって選ばれた1個のデコーダのみをアクティブにし、同時にデコーダ内選択信号を全デコーダに与えて、各読み取りのダイミングで各1個の光検出素子からの信号が映像信号出力ラインに現れるような回路構成とする。

またS/Nの増大、リーク電流のキャンセル効果のために、受光窓を備えた光検出素子のアレイと各々に対をなす光遮蔽した第2の光検出素子のアレイを設け、第1の光検出素子アレイ中の1素子と第2の光検出素子アレイ中の1素子が対になって走査用デコーダで走査される構成とし、第1の光検出素子アレイの映像信号出力端子からノイズ電流、リーク電流を含む映像信号を、また第2の映像信号出力端子からノイズ電流、リーク電流を得ることをオペアンプ等の出力増幅器を用いて、

バイポーラICによる構成でも消費電力の削減が可能となった。従って、本発明の高速走査と低消費電力の2点を両立させたことになる。つまり、電流SWの縦列接続からなるデコーダにおいて、各瞬間にアクティブな電流パスは1個であり、アレイの規模が増大しても消費電力は原理的に増大しない。また電流SWは非飽和動作のため高速動作が可能である。走査用選択信号入力にはベース入力であるため負荷は軽く、駆動回路は簡単になる。またCCDを用いた場合に比べて本イメージセンサでは、転送チャンネルがないため、転送チャンネルの熱キャリアによるリーク電流は発生せず、さらに、光検出素子のリーク電流についても、第1、第2の光検出素子アレイを設けて、夫々のリーク電流の差動出力を得るのでリーク電流を相殺した品質のよい画像がえられる。

さらに、本発明のイメージセンサではチップ端まで光検出素子を配置することが容易になり、複数個のチップを基板上に直線状に配列する構成にしたため、千鳥伏配列に比べライン処理が不要に

その差動出力を得て、ノイズ電流、リーク電流を打消した映像信号を得ることのできる回路構成とする。

なお、実装面においては、イメージセンサチップのチップ端まで光検出素子を配置した設計とし、複数個のチップを基板上に直線状に配列することによって、原稿の等倍像を読み取る密着型イメージセンサを製作する。

(作 用)

前記のような手段によって、次記のような作用が得られる。

集積回路にはMOS形とバイポーラ形があるが、集積度の点ではMOS形が有利であり、動作速度ではバイポーラ形が有利である。しかしバイポーラ形は消費電力が大きく、かなりの集積度を要するイメージセンサには用いられなかった。しかしながら、本発明は「イメージセンサでは各読み取りタイミングで唯1個の光検出素子に充電電流を流せばよい」という基本的性質を利用し走査回路を電流モードのデコーダで構成することにより、パ

なって使い易いものとなる。

(実施例)

以下、本発明を図面を用いて実施例により説明する。

第2図は本発明のイメージセンサを動作させるための選択入力信号を、直流レベルの異なる相補信号に変換するための信号変換回路を示したものである。

選択入力信号は選択入力信号端子1に印加され、ロジック基準電圧 V_{th} と比較され、それにより定電流回路2の出力電流が、電流SWを構成するトランジスタ(以下、Trと略記する)対3、4、5のTr 3-1または3-2、4-1または4-2、5-1または5-2の一方に切換えられて、それぞれの電流と抵抗対6、7、8により、直流レベルの異なる相補的電圧を、相補信号出力端子9に出力させる。

例えば、選択入力信号端子1の1-1に「H」(ハイレベル)の選択入力信号が与えられると、相補信号出力端子9のA端子は「H」(ハイレベル)、A'端子には「L」(ローレベル)が出力される。

この論理振幅は上記抵抗対6ないし8の値、及び定電流回路2の電流値で決まる。なお、10,11,12は直流レベルに設定用Trで、13は電圧分割用の抵抗及びダイオード列である。また、この図は3ビット入力の場合を示したが、同様な回路構成で更にビット数の多い回路が形成できる。

第1図は本発明のイメージセンサの基本回路を示し、第2図で示した信号変換回路出力の相補信号が、相補信号入力端子14に加えられる。また、15はブロック選択入力端子で、これにはブロック選択信号が与えられ、上記両信号により以下説明するデコーダ、FET SWアレイ、Ph Trアレイ等をブロック的に選択する。

デコーダは電流SV16ないし22のカスケード接続によって構成されている。23はFET SWアレイを示し上記デコーダの各電流SV16ないし22の出力電流をセンスしてオン状態になるように動作し、FET SWアレイ23を構成するFETのドレイン電極はPh Trアレイ24を構成するPh Trのコレクタ電極に接続され、そのエミッタは共通に接続されて映像出力

端子25になっている。なお、26はブロック選択入力端子15に加えられるブロック選択信号によって電流を制御するSW Trである。

この回路の動作は例えば、ブロック選択入力端子15に'H'(ハイレベル)、相補信号入力端子14の各端子A、B及びCに共に'L'(ローレベル)の信号が加えられると、SW Tr26のコレクタに発生した電流は、電流SV16ないし22からなるデコーダ回路によって、負荷抵抗27-1に現われ、その両端に電位差を発生する。その結果、FET23-1(第1図ではFETはPチャンネル型とする)のゲート電圧が下降し、そのFET23-1はオンになって充電電流がPh Tr24-1に流れ、それに蓄積された光検出信号が映像信号出力端子25に現われる。すなわち、本発明は、一例として相補信号入力端子14に任意の3ビットの選択信号を与えることにより、Ph Trアレイ24中の任意の1個のPh Trが選択され映像信号が映像信号出力端子25に得られる。

以上の説明は相補信号3ビット、デコーダは3ビット入力、8ビット出力についてのものである。

たが、同様の考え方でビット数の多い場合への拡張は容易である。

第3図は読み取り画素数の多い実用的な回路への拡張方法を示す概念図である。28は基本的には第2図に示す回路と同様の機能を果たす回路ロジック変換器であるが、外部からの選択信号を選択信号入力端子29を受けて、これを相補信号出力端子30に直流レベルの異なる相補信号として出力させる。31,32,33,34は第2図に示したような、外部からのブロック選択信号をブロック選択入力信号端子35に受け、前記のよう、相補信号出力端子30から加わる相補信号と共に動作をするデコーダで、夫々の出力端子は負荷抵抗と共にFET SWアレイ36を構成するFETのゲートに接続され、また、そのFETのドレイン電極は夫々、Ph Trアレイ37を構成するPh Trのコレクタ電極に接続される。なお、38はブロック選択入力信号によって動作をする電流源用Trアレイである。このようにして例えば、5ビット入力、32ビット出力のデコーダを16個用いると、512画素のイメージセンサが構成される。

第4図は本発明の第2の実施例を示す図である。39はデコーダ回路であって、第1図と同様の構成である。40は第1のPh Trアレイ41に電流を供給するためのFET SWアレイであり、42は第2のPh Trアレイ43に電流を供給するためのFET SWアレイである。第1のPh Trアレイ41は受光素子を備え、第2のPh Trアレイ43には光遮蔽(図示せず)がしてある。44,45は夫々、第1および第2のPh Trアレイ41,43の映像出力端子である。映像出力端子44からノイズ電流およびリーク電流を含む映像信号を、映像出力端子45からノイズ電流およびリーク電流による信号を得、オペアンプ等の出力増幅器(図示せず)によって、その作動出力を得れば、その信号は、ノイズ電流、リーク電流を打ち消した映像信号となる。このように構成することによりS/Nが向上し、更にリーク電流による暗信号の低減により、高温での使用も可能なイメージセンサが得られる。

一般に、シリコンチップで形成するイメージセ

特開昭61-214657(5)

ンサの長さはチップサイズがシリコンウェハのサイズにより制限されるため、数十μmが限度である。そのため、原稿の等倍像を読み取る密着型イメージセンサは原稿幅に相当するように基板上に前記のイメージセンサを複数個配列することが必要である。本発明では第5図に示すように、イメージセンサチップ46を複数個、基板47上に配列している。チップ接続部でも光検出素子の配列を均一に保つために、チップ端まで光検出素子を配列している。第5図の構成にすることにより、ライン処理が不要になり、インターフェイス回路におけるバッファメモリは1ラインの容量で済み、非常に使い易い。

(発明の効果)

以上の説明から明らかなように、本発明によれば、高速、高解像、高S/Nでかつ暗信号の小さいイメージセンサを実現しうるもので、通常のバイポーラ集積回路プロセスにより、全機能シリコンチップ上に形成することが可能である。なお、本発明によれば、チップ端まで光検出素子を配置

することが可能であり、複数個のチップを基板上に直線状に配列することによって、原稿の等倍像を読み取る密着性イメージセンサも容易に形成することができる。従って、本発明は情報処理機器の入力装置として極めて有用であり、その産業上の効果は大なるものがある。

4. 図面の簡単な説明

第1図は本発明のイメージセンサの回路図、第2図は外部からの選択入力信号を直流レベルの異なる相補信号に変換する信号変換回路、第3図は拡張した形態を示すイメージセンサのブロック図、第4図は本発明の第2の実施例におけるイメージセンサの回路図、第5図は密着型イメージセンサの構成図である。

1, 29 … 選択入力信号端子、 2 … 定電流回路、 9, 30 … 相補信号出力端子、 14 … 相補信号入力端子、 15 … ブロック選択入力端子、 16~22 … 電流スイッチ、 23, 36, 40, 42 … 電界効果トランジスタ(FET)スイッチアレイ、 24, 37, 41, 43 … フォトトランジスタアレイ、 25, 44, 45 … 映像出力端子、 31, 34 …

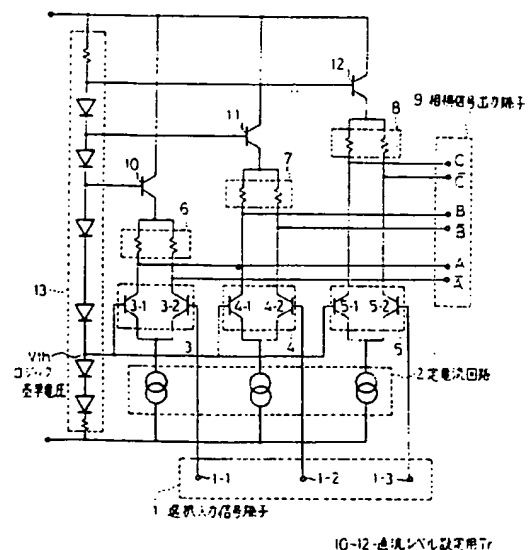
レイ、 25, 44, 45 … 映像出力端子、 31, 34 … デコーダ、 38 … 電流源用トランジスタアレイ、 39 … デコーダ回路、 40 … イメージセンサチップ、 47 … 基板。

特許出願人 松下電器産業株式会社

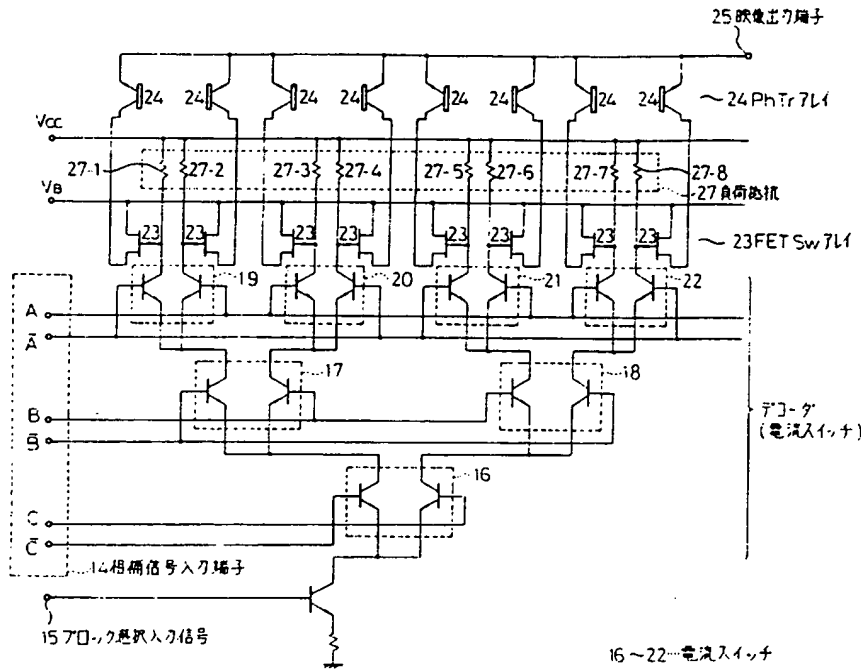
代理人 星 野 恒



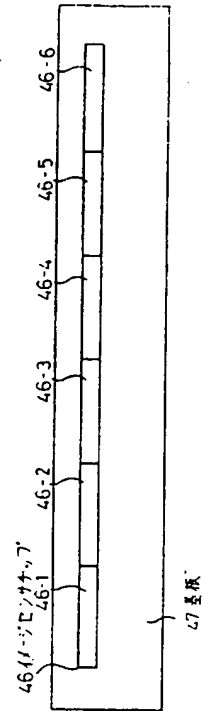
第 2 図



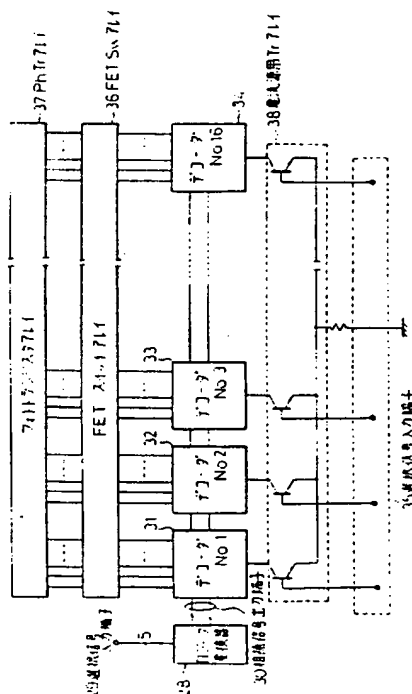
第 1 図



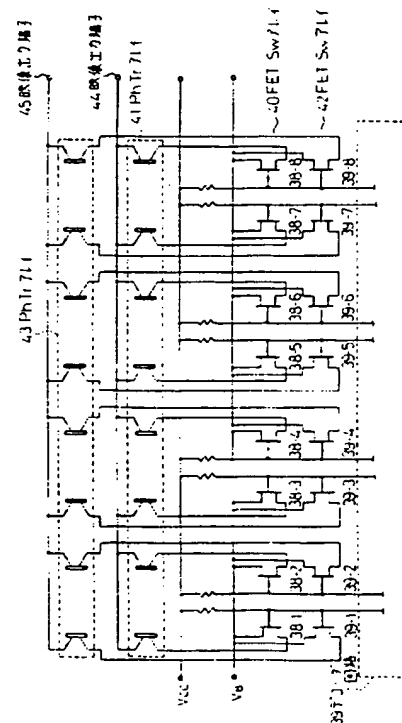
第 5 図



第 3 図



第 4 図



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER: _____**

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.

THIS PAGE BLANK (USPTO)